

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-195570

(43)Date of publication of application : 19.07.2001

(51)Int.CI.

G06T 3/00
G06T 1/60
H04N 5/907

(21)Application number : 2000-005736

(71)Applicant : SONY CORP

(22)Date of filing : 06.01.2000

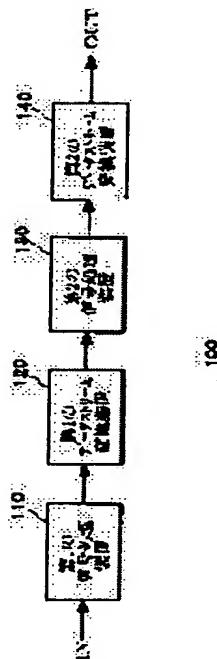
(72)Inventor : KURATA TORU

(54) DEVICE AND METHOD FOR PROCESSING IMAGE AND DATA STREAM CONVERTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processor that can suitably and efficiently perform two-dimensional image processing and macro image processing at a high speed.

SOLUTION: After horizontal processing is performed by a first signal processor 110, a horizontal line scan data stream inputted to an image processor 100 is converted in to a vertical line scan data stream, in which horizontal and vertical directions are exchanged, by a first data stream converter 120. This vertical line scan data stream is inputted to a second signal processor 130 for performing the same processing as the first signal processor 110 and original image data are vertically processed. The vertical line scan data stream of the processing result is inputted to a second data stream converter, converted to the original horizontal line scan data stream and outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The image processing system which has the image data-conversion means characterized by providing the following, and an image-processing means to process a request to said read image data A storage means to memorize the image data of arbitration The write-in address-generation means which carries out sequential generation of the write-in address for writing the image data by which the sequential scan was carried out in the predetermined direction inputted in said storage means About said image data inputted, it is said generated write-in means which is written in and written in said storage means based on the address. It is said generated read-out means which is read and is read one by one based on the address about said image data currently written in the read-out address-generation means which carries out sequential generation of the read-out address for reading as image data scanned in the direction of desired in which said predetermined sequence differs said image data written in said storage means, and said storage means.

[Claim 2] The image processing system according to claim 1 which has further said 2nd image data-conversion means which returns the image data to which processing of said request was performed to the image data scanned in said predetermined direction of origin.

[Claim 3] The image processing system according to claim 2 which has further said 2nd image-processing means to process said request, and processes a two-dimensional request to the image data inputted to the image data scanned in the predetermined direction of said origin.

[Claim 4] Said image-processing means is an image processing system according to claim 3 which are distortion amendment processing of the lens of an image pick-up system, distortion amendment processing of a display system, reduction / removal processing of a noise, and the processing of amendment of a mistake convergence that contains any one at least respectively.

[Claim 5] Either is an image processing system according to claim 1 which has the address storage means of said read-out address-generation means or said write-in address-generation means with which said address which carries out sequential generation is memorized beforehand at least, reads said address concerned memorized one by one, and outputs.

[Claim 6] Said address storage means is an image processing system according to claim 5 constituted by ROM (Read Only Memory).

[Claim 7] Said read-out address-generation means is an image processing system according to claim 1 which was generated by said write-in address-generation means and which writes in, changes the address and generates said read-out address.

[Claim 8] Said read-out address-generation means is an image processing system according to claim 4 which generates said read-out address by [which write in and permutes the upper address and lower address of the address] having been generated by said write-in address-generation means.

[Claim 9] The image data by which the sequential scan was carried out is memorized for a storage means based on the write-in predetermined address by which sequential generation is carried out in the predetermined direction inputted. Sequential generation of the read-out address for reading said memorized image data as image data scanned towards a different request from said predetermined direction is carried out. About said memorized image data, it is

said generated image-processing approach which reads, reads one by one based on the address, and performs a desired image processing to said read image data.

[Claim 10] The image data to which said image processing was performed is memorized for a sequential storage means. Said memorized image data Sequential generation of the read-out address for reading as image data scanned in said predetermined direction of origin is carried out. The image-processing approach according to claim 9 of returning said memorized image data to said generated image data which read, read one by one based on the address, and was scanned in said predetermined direction of origin.

[Claim 11] The data stream inverter characterized by providing the following A storage means to memorize the data of arbitration The write-in address-generation means which carries out sequential generation of the write-in address for writing the train of the data by which a sequential input is carried out in predetermined sequence in said storage means About the train of said data by which a sequential input is carried out, it is said generated write-in means which is written in and written in said storage means one by one based on the address. It is said generated read-out means reads, reads one by one based on the address, and output as a train of the data of the sequence of said request, about the train of said data currently written in the read-out address-generation means which carries out sequential generation of the read-out address for said predetermined sequence to read the train of said data currently written in said storage means in order of a different request, and said storage means.

[Claim 12] The train of the data by which a sequential input is carried out in said predetermined sequence is a data stream inverter according to claim 11 which is the two-dimensional image data by which the sequential scan was carried out in the predetermined direction.

[Claim 13] Said read-out address-generation means is a data stream inverter according to claim 12 which generates said read-out address so that the two-dimensional image data by which the sequential scan was carried out in said direction of predetermined [which is inputted] may be changed into the two-dimensional image data by which the sequential scan was carried out in the direction of desired in which said predetermined directions differ.

[Claim 14] Either is a data stream inverter according to claim 12 which has the address storage means of said read-out address-generation means or said write-in address-generation means with which said address which carries out sequential generation is memorized beforehand at least, reads said address concerned memorized one by one, and outputs.

[Claim 15] Said address storage means is a data stream inverter according to claim 14 constituted by ROM (Read Only Memory).

[Claim 16] Said read-out address-generation means is a data stream inverter according to claim 14 which was generated by said write-in address-generation means and which writes in, changes the address and generates said read-out address.

[Claim 17] Said read-out address-generation means is a data stream inverter according to claim 16 which generates said read-out address by [which write in and permutes the upper address and lower address of the address] having been generated by said write-in address-generation means.

[Claim 18] Said storage means is a data stream inverter according to claim 12 constituted by dual port memory equipment.

[Claim 19] Said storage means is a data stream inverter according to claim 12 which has further an address selection means by which is constituted by the single port memory apparatus, chooses the address generated with either said read-out address-generation means or said write-in address-generation means, and it is impressed by said storage means, and a control signal selection means to impress the control signal generated with either said read-out means or said write-in means to said storage means.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates a two-dimensional image processing and a global image processing to a high speed, the image processing system which can be performed efficiently appropriately and its approach, and a suitable data stream inverter to perform such an image processing.

[0002]

[Description of the Prior Art] Although digitization is quickly promoted in the image processing system in recent years, the image pick-up system which is the input side of an image, and the display system which is an output side have many parts currently processed with the analog signal. It is not avoided by such analog part that errors, such as distortion, drawing distortion in a display system, and a mistake convergence, and noise of a lens of for example, an image pick-up system arise. Although the attempt in which the system of an analog would mainly amend from before had been made to these problems, a processor satisfying enough was not realized in many cases. On the other hand, many attempts which are going to perform these analog-amendments with error and reduction of a noise with a digital system are also performed. High-resolutionizing, ghost reduction, etc. of television can be said to be the typical processing which corresponded by digital processing.

[0003]

[Problem(s) to be Solved by the Invention] However, the digital system with which it is difficult to solve amendment of distortion of the lens described previously or CRT by digital processing with the digital system, and it can amend an animation with high precision on real time also in the error of an analog system does not exist until now. The architecture of signal processors, such as DSP generally used with a digital system, is mentioned to being the superficial two-dimensional phenomenon in which the distortion itself reaches far and wide, although this originates also in the amount of operations concerning amendment being huge as a reason also with big it being also suitable for serial processing of data, i.e., processing of a single dimension and processing of comparatively local data. Therefore, although designing the signal processor of architecture which newly fitted wide range two-dimensional data processing, and also making amendment processing perform is considered, it is very difficult from a circuit scale or the field of cost in fact.

[0004] Therefore, the purpose of this invention is about a two-dimensional image processing and a global image processing to offer a high speed and the image processing system which can be performed efficiently appropriately, and its approach. Moreover, even if the existing image processing system is used for other purposes of this invention for two-dimensional data processing and global data processing to a data stream of arbitration, they are to offer a high speed and the data stream inverter which changes a data stream so that it can carry out efficiently appropriately.

[0005]

[Means for Solving the Problem] Therefore, a storage means by which the image processing system of this invention memorizes the image data of arbitration, The write-in address-

generation means which carries out sequential generation of the write-in address for writing the image data by which the sequential scan was carried out in the predetermined direction inputted in said storage means, Said image data inputted Said generated write-in means which is written in and written in said storage means based on the address, The read-out address-generation means which carries out sequential generation of the read-out address for reading said image data written in said storage means as image data scanned towards a different request from said predetermined sequence, It has an image data-conversion means to have said generated read-out means which is read and is read one by one based on the address for said image data currently written in said storage means, and an image-processing means to process a request to said read image data.

[0006] The image-processing approach of this invention moreover, the image data by which the sequential scan was carried out in the predetermined direction inputted Based on the write-in predetermined address by which sequential generation is carried out, it memorizes for a storage means. Sequential generation of the read-out address for reading said memorized image data as image data scanned towards a different request from said predetermined direction is carried out, said memorized image data — said — it was generated — it reads and reads one by one based on the address, and it reads and comes out and a desired image processing is performed to said found image data.

[0007] Moreover, the data stream inverter of this invention The write-in address-generation means which carries out sequential generation of the write-in address for writing the train of a storage means to memorize the data of arbitration, and the data by which a sequential input is carried out in predetermined sequence in said storage means, The train of said data by which a sequential input is carried out Said generated write-in means which is written in and written in said storage means one by one based on the address, The read-out address-generation means which carries out sequential generation of the read-out address for reading the train of said data currently written in said storage means in order of a different request from said predetermined sequence, It has said generated read-out means to read, to read one by one based on the address, and to output as a train of the data of the sequence of said request for the train of said data currently written in said storage means.

[0008]

[Embodiment of the Invention] The gestalt of operation of the 1st of gestalt this invention of the 1st operation is explained with reference to drawing 1 – drawing 5. In the gestalt of the 1st operation, to each pixel of two-dimensional image data, horizontal and the image processing system which performs predetermined filtering with reference to the data of the pixel which adjoins perpendicularly are illustrated, and this invention is explained. In addition, in the gestalt of each operation of the following including the gestalt of this operation, it shall be the image data of the two-dimensional square image with which one frame consists of 256 pixel x256 pixels, and let the data stream of the result of having carried out the non-interlaced scan of this pixel horizontally be a processing object.

[0009] Drawing 1 is the block diagram showing the configuration of the image processing system 100. An image processing system 100 has the 1st signal processor 110, the 1st data stream inverter 120, the 2nd signal processor 130, and the 2nd data stream inverter 140. Moreover, drawing 2 is drawing showing the configuration of the 1st data stream inverter 120. Furthermore, drawing 3 is drawing for explaining the image data stream inputted into an image processing system 100, drawing 4 is drawing for explaining the image data stream changed with the 1st data stream inverter 120, and drawing 5 is drawing for explaining the image data stream changed with the 2nd data stream inverter 140. With reference to these drawings, the configuration of each part of an image processing system 100 is explained.

[0010] A sequential input is carried out, for example, the 1st signal processor 110 performs desired signal processing to the level Rhine scan data stream of a two-dimensional image as shown in drawing 3, and outputs the data stream of a processing result to the 1st data stream inverter 120. In the gestalt of this operation, it filters to each pixel using the pixel data with which the data stream by which a sequential input is carried out continues, i.e., processing which filters with reference to the value of the adjoining horizontal pixel shall be performed. In addition,

the 1st signal processor 110 is the image DSP which has linear array structure, and performs said processing according to the program currently recorded on ROM to build in.

[0011] About the two-dimensional picture signal inputted as a level Rhine scan data stream from the 1st signal processor 110, the 1st data stream inverter 120 generates the video signal of the vertical-lines scan data stream which replaced the horizontal direction and perpendicular direction, and outputs it to the 2nd signal processor 130.

[0012] The configuration of the 1st data stream inverter 120 is explained to a detail with reference to drawing 2. The 1st data stream inverter 120 has the write-in address-generation section 121, the read-out address-generation section 122, the 1st dual port RAM 123, the 2nd dual port RAM 124, and the timing controller 125.

[0013] The write-in address-generation section 121 generates the address for memorizing the level Rhine scan data stream by which a sequential input is carried out to the 1st dual port RAM 123 or 2nd dual port RAM 124, and outputs it to the 1st dual port RAM 123 and 2nd dual port RAM 124. Since the image data whose one frame is 256x256 pixels is inputted into an image processing system 100 as shown in drawing 3 as mentioned above, the write-in address-generation section 121 generates the address of 0x0000 – 0xffff in order so that this image data of one frame may be recorded on 0xffff address of the 1st dual port RAM 123 or the 2nd dual port RAM 124 in order from the 0x0000th street. In addition, 0x show that the value is a hexadecimal notation.

[0014] The image data memorized by the 1st dual port RAM 123 or 2nd dual port RAM 124 generates the read-out address, and impresses the read-out address-generation section 122 to the 1st dual port RAM 123 and 2nd dual port RAM 124 so that it may be outputted as a different predetermined data stream from the time of being inputted. It reads in the gestalt of this operation, and as shown in drawing 4, the address-generation section 122 generates the address which generates the data stream equivalent to the level Rhine scan data stream of image data to which 90-degree RRC of the two-dimensional image was carried out, and the data stream in which the original two-dimensional image will carry out a vertical-lines scan data stream equivalent if it puts in another way, and impresses it to memory. That is, the read-out address-generation section 122 is 0xff00, 0xfe 00 to 0x0000, 0ff01, 0xfe 01 to 0x0001, and 0xff 02 to 0x0002... The address called 0xffff–0x00ff is generated in order.

[0015] The 1st dual port RAM 123 and 2nd dual port RAM 124 are the memory which can memorize the image data for at least one frame respectively. the timing controller 125 which it writes in the 1st dual port RAM 123 and 2nd dual port RAM 124 from each and the write-in address-generation section 121, the address reads to them from the read-out address-generation section 122, and the address is inputted into them, and is mentioned later — a chip select CS and write enable — since control signals, such as WE and output enable OE, are inputted, while memorizing the image data by which a sequential input is carried out based on this, sequential playback is carried out and the memorized image data is outputted.

[0016] The image data in every frame inputted is written by turns in the 1st dual port RAM 123 and 2nd dual port RAM 124 by control of the timing controller 125 in that case. Moreover, image data is read from the 1st dual port RAM 123 or 2nd dual port RAM 124 of the direction with which input image data is not written in. In addition, in the gestalt of this operation, the 1st dual port RAM 123 and 1st dual port RAM 123 have the bit width of face which can memorize respectively the data whose 1 word is 1 pixel, and have the address space of 64k at least.

[0017] The timing controller 125 controls each part of the 1st data stream inverter 120 to be able to change an image data stream appropriately in the 1st data stream inverter 120. Specifically, the timing controller 125 outputs clock signal CLK, Horizontal Synchronizing signal H-SYNC, Vertical Synchronizing signal V-SYNC, etc. which are the timing signal of the image data obtained from the picture signal to input to the write-in address-generation section 121 and the read-out address-generation section 122. When the image data of a processing object is a square image with equal number of input pixels and number of output pixels like the gestalt of this operation, Horizontal Synchronizing signal H-SYNC and Vertical Synchronizing signal V-SYNC of input image data should just be used for Horizontal Synchronizing signal H-SYNC and Vertical Synchronizing signal V-SYNC for an output as it is. However, when the number of image

entry-of-data pixels and the number of output pixels of a processing object differ from each other, based on Horizontal Synchronizing signal H-SYNC and Vertical Synchronizing signal V-SYNC of input image data, Horizontal Synchronizing signal H-SYNC and Vertical Synchronizing signal V-SYNC of output image data will newly be generated in the timing controller 125.

[0018] moreover, the timing controller 125 — the 1st dual port RAM 123 and 2nd dual port RAM 124 — a chip select CS and write enable — control signals, such as WE and output enable OE, are outputted, and writing and read-out of data are controlled. Since the 1st dual port RAM 123 and 2nd dual port RAM 124 have double buffer composition like illustration, image data is read from the memory of the direction where the timing controller 125 switches active/negative of two RAM for every V-SYNC of image data, and the image data in every frame is written in two memory by turns, and storage is not performed.

[0019] The 2nd signal processor 130 is the same signal processor as substantially as the 1st signal processor 110, a sequential input is carried out from the 1st data stream inverter 120, for example, performs desired signal processing to the vertical-lines scan data stream of a two-dimensional image as shown in drawing 4, and outputs the data stream of a processing result to the 2nd data stream inverter 140. In the gestalt of this operation, it shall filter to each pixel using the pixel data with which the data stream by which a sequential input is carried out continues, namely, processing which filters with reference to the value of the pixel adjoined perpendicularly shall be performed.

[0020] About the two-dimensional picture signal inputted as a vertical-lines scan data stream from the 2nd signal processor 130, the 2nd data stream inverter 140 replaces the perpendicular direction and horizontal direction, generates the video signal of the original level Rhine scan data stream, and outputs it from an image processing system 100 as a picture signal of a processing result. The configuration of this 2nd data stream inverter 140 is almost the same as the configuration of the 1st data stream inverter 120 mentioned above with reference to drawing 2, and only the configurations of the read-out address-generation section differ. Therefore, it reads here and only the address-generation section is explained. In addition, the sign of each configuration section inside the 1st data stream inverter 120 shown in drawing 2 shall be used for the sign of each configuration section inside the 2nd data stream inverter 140 as it is by the following explanation.

[0021] The vertical-lines scan data stream of the input image data of the origin memorized by the 1st dual port RAM 123 or 2nd dual port RAM 124 generates the read-out address, and impresses the read-out address-generation section 122 of the 2nd data stream inverter 140 to the 1st dual port RAM 123 and 2nd dual port RAM 124 so that it may be outputted as the same level Rhine scan data stream as the time of being inputted.

[0022] That is, since the data stream equivalent to the level Rhine scan data stream of image data which carried out 90-degree RRC of the two-dimensional image as shown in drawing 4 to the 1st dual port RAM 123 and 2nd dual port RAM 124 is memorized, on the other hand as shown in drawing 5, the address which generates the data stream equivalent to the level Rhine scan data stream of image data to which -90-degree RRC of the two-dimensional image was carried out is generated and outputted. Therefore, the read-out address-generation section 122 is 0x00ff, 0x01ff – 0xffff, 0x00fe, 0x01fe – 0xffffe, and 0x00fd – 0xffffd... The address called 0x0000–0xff00 is generated in order.

[0023] And when the read-out address-generation section 122 generates such the address, from the 2nd data stream inverter 140, the data stream of the origin inputted into the data stream 100 which changed the vertical-lines scan data stream into the level Rhine scan data stream, i.e., an image processing system, and the data stream of the same gestalt are outputted, and it is outputted from an image processing system 100 as a signal of a processing result.

[0024] Actuation of the image processing system 100 of such a configuration is explained collectively. After the level Rhine scan data stream inputted into the image processing system 100 performs horizontal processing with the 1st signal processor 110, it is changed into the image data which replaced the horizontal direction and the perpendicular direction, i.e., a vertical-lines scan data stream, in the 1st data stream inverter 120. And the perpendicular direction to the original image data is processed by inputting this vertical-lines scan data stream

into the 2nd signal processor 130 which performs the same processing as the 1st signal processor 110. And this vertical-lines scan data stream is changed and outputted to the original level Rhine scan data stream by inputting into the 2nd data stream inverter 140.

[0025] Thus, according to the image processing system 100 of the gestalt of the 1st operation, two-dimensional processing to two-dimensional data can be efficiently performed using the signal processor which specialized in the processing to-like 1-dimensional data streams, such as DSP, for example. That is, although horizontal processing could be effectively performed until now since the usual video signal was a video signal of a level Rhine scan, vertical processing was not able to be efficiently processed at the same rate as a signal rate. However, in an image processing system 100, since the video signal of a level Rhine scan is changed into the video signal of a vertical-lines scan in the 1st data stream inverter 120, in the 2nd signal processor 130, the real-time operation of the same rate as a signal rate can be performed that what is necessary is just to process like the 1st signal processor 110 to the data stream by which a sequential input is carried out.

[0026] And in the 1st data stream inverter 120 and the 2nd data stream inverter 140, it reads with the write-in address, the address is written in again, using a dual port RAM as buffer memory 123,124, and it is generating separately in the address-generation section 121 and the read-out address-generation section 122. Therefore, a data stream is substantially convertible for coincidence on real time.

[0027] The gestalt of operation of the 2nd of gestalt this invention of the 2nd operation is explained with reference to drawing 6 – drawing 8. When changing such a data stream, if it puts in another way, it is suitable for the write-in address and the read-out address like the gestalt of the 1st operation to generate [which wrote in, read with the address, and was mentioned above when the address was comparatively easy relation, the original data stream, a data stream to generate, and] logically. However, the data stream demanded, for example in order to process efficiently when it is going to perform local processing, special two-dimensional filtering, etc. to image data is seen from the original DS, is very complicated and can be called data stream arranged at random substantially. Then, such a data stream is generated efficiently and the image processing system which can perform such an image processing efficiently is explained as a gestalt of the 2nd operation. In addition, the case where fish eye amendment is performed to the image data inputted is illustrated, and this invention is explained here.

[0028] Drawing 6 is the block diagram showing the configuration of such an image processing system 200. An image processing system 200 has the data stream inverter 220 and a signal processor 230. The data stream inverter 220 generates the data stream suitable for the image processing performed in the latter signal processor 230 based on the level Rhine scan data stream of the two-dimensional image data inputted, and outputs it to a signal processor 230.

[0029] The configuration of the data stream inverter 220 is explained to a detail with reference to drawing 7. Drawing 7 is drawing showing the configuration section concerning the address generation of the data stream inverter 220. The data stream inverter 220 has the write-in address-generation section 221, the read-out address-generation section 222, the timing controller 225, and ROM226 as the configuration section concerning the address generation. The configuration and actuation of the write-in address-generation section 221 and the timing controller 225 are the same as the configuration of the write-in address-generation section 121 of the 1st data stream inverter 120 mentioned above, and the timing controller 125, and actuation.

[0030] The read-out address-generation section 222 reads the read-out address data currently recorded on ROM226 based on the control signal by which input ** is carried out from the timing controller 225 one by one, impresses them to the memory which is not illustrated, and reads data one by one.

[0031] ROM226 is ROM which is making the sequence to read memorize beforehand the address of the pixel data read from memory. The address data memorized by ROM226 are read by the read-out address-generation section 222, and are impressed to the memory which is not illustrated as it is. As mentioned above, in the gestalt of this operation, fish eye amendment is performed in a signal processor 230. Therefore, the address which extracts and reads a data

stream to ROM226 by the scan line as shown in drawing 8 from the 256 pixel x256 pixel image data inputted is memorized. In addition, to ROM226, difference with not the thing that stores the address itself but the last address, the multiplier of the function which computes the address, etc. may be memorized. If it is made such, the capacity of ROM can be reduced and it is effective.

[0032] And a sequential input is carried out from the data stream inverter 220, for example, a signal processor 230 performs desired signal processing to the scanning data stream of a two-dimensional image as shown in drawing 8, and outputs the data stream of a processing result as output data of an image processing system 200. In the data stream inverter 220 mentioned above, since the image data by which fish eye amendment was carried out roughly is obtained, in a signal processor 230, processing which amends this image still with high precision is performed. For example, the pixel value of a interpolation pixel is amended from the pixel value of 4 pixels of near, or it processes computing the pixel value of a former image and the pixel which does not correspond to 1 to 1 based on topology etc.

[0033] Actuation of the image processing system 200 of such a configuration is explained collectively. In the data stream inverter 220, the data of specific scanning RAINN as shown in drawing 8 are extracted, and the level Rhine scan data stream inputted into the image processing system 200 is changed into the rough data by which fish eye amendment was carried out. And this changed data stream is inputted into a signal processor 230, still highly precise amendment is performed, and the final image data by which fish eye amendment was carried out is obtained.

[0034] Thus, in the image processing system 200 of the gestalt of the 2nd operation, it can read by using ROM226 in the data stream inverter 220, and the address can completely be generated at random. Therefore, when generating the data stream whose relation with a write-in data stream is not simple, or also when extracting a pixel at random substantially and generating a desired data stream, it can process appropriately and a more flexible data stream inverter can be realized. Moreover, in the image processing system 200 of the gestalt of the 2nd operation, global processing of amendment is performed in the data stream inverter 220, and it can be said that it is made to perform local processing of amendment in a signal processor 230. That is, the image processing system which performs suitable processing respectively globally and locally, and can perform a desired image processing efficiently can be offered by considering as such a configuration.

[0035] In addition, although ROM226 was read and being prepared to the address-generation section 222, it prepares to the write-in address-generation section 221, and you may make it determine the address at the time of writing in the gestalt of this operation based on the data memorized by ROM226.

[0036] The gestalt of operation of the 3rd of gestalt this invention of the 3rd operation is explained with reference to drawing 9 and drawing 10. Although a configuration as shown with the gestalt of the 2nd operation is suitable for the configuration of the write-in address-generation section of a data stream inverter, and the read-out address-generation section when correspondence of the read-out address and the write-in address is very complicated and near at random, in the other usual case, it is good with a configuration as shown with the gestalt of the 1st operation. However, the gestalt shown in the gestalt of the 1st operation was the configuration that the address-generation section for writing and the address-generation section for read-out completely became independent. It reads with the write-in address, and when correspondence of the address is comparatively simple, a part of the generation section is communalized, and you may make it generate the address of another side from one of the addresses. Such a data stream inverter is shown as a gestalt of the 3rd operation.

[0037] Drawing 9 is drawing showing the configuration section concerning the address generation of the data stream inverter 320. The data stream inverter 320 has the write-in address-generation section 321, the read-out address-generation section 322, and the timing controller 325. The configuration and actuation of the write-in address-generation section 421 and the timing controller 325 are the same as the configuration of the write-in address-generation section 121 of the 1st data stream inverter 120 mentioned above, and the timing controller 125, and actuation.

[0038] And the read-out address-generation section 322 is read based on the write-in address outputted from the write-in address-generation section 321, and is outputted to the memory which does not generate and illustrate the address.

[0039] For example, when reading the image data remembered to have mentioned above as a level Rhine scan data stream as a vertical-lines scan data stream as shown in drawing 10, the read-out address-generation section 322 is 0x0000, 0x0100–0xff00, 0x0001–0xff01, and 0x0002–0xff02... The address called 0x00ff – 0xffff is generated. And this address is the address generated when it writes in as mentioned above, and the address-generation section 321 writes in image data, and the address to which the bit of 8 bits of high orders and every 8 bits of low order was changed. Namely, in generating such a data stream, the read-out address-generation section 322 replaces the high order and low order of the output address of the write-in address-generation section 321, and outputs them as the read-out address.

[0040] Moreover, what is necessary is for the read-out address-generation section 322 to replace the high order and low order of the output address of the write-in address-generation section 321, to subtract the value of an upper address from 255 (0xff) further, to read it, and just to make it output it as the address, in, generating a data stream which was explained with reference to drawing 4 for example. Moreover, if the lower address of the output address of the write-in address-generation section 321 is subtracted from 255 (0xff), it is read in the read-out address-generation section 322 for example, and it is made to output as the address, a data stream as shown in drawing 11 is generable.

[0041] The completely same actuation as the data stream inverter of the gestalt of each operation mentioned above which mentioned the address-generation section above also in the data stream inverter carried out in this way can be made to perform, and the same effectiveness is acquired. And if it is made such a configuration, the circuit scale of the read-out address-generation section 322 can be made small. In addition, it writes in in the write-in address-generation section 321, and you may make it generate the address based on the read-out address outputted from the read-out address-generation section 322.

[0042] The gestalt of operation of the 4th of gestalt this invention of the 4th operation is explained with reference to drawing 12. The configuration of the memory section in the data stream inverter of the gestalt of each operation mentioned above was what forms a dual port RAM which was concretely explained with reference to drawing 2 on the occasion of explanation of the gestalt of the 1st operation so that it may become two lines and a double buffer. However, it is not necessary to use a dual port RAM, and the single port RAM may be used. Such a data stream inverter is shown as a gestalt of the 4th operation.

[0043] Drawing 12 is drawing showing the configuration of the data stream inverter 420. The data stream inverter 420 has the write-in address-generation section 421, the read-out address-generation section 422, the 1st single port RAM 423, the 2nd single port RAM 424, the timing controller 425, the 1st selector 427, the 2nd selector 428, and the 3rd selector 429. The configuration and actuation of the write-in address-generation section 421, the read-out address-generation section 422, the 1st single port RAM 423, and the 2nd single port RAM 424 are the same as the configuration of the write-in address-generation section 121 of the 1st data stream inverter 120 mentioned above, the read-out address-generation section 122, the 1st dual port RAM 123, and the 2nd dual port RAM 124, and actuation.

[0044] the timing controller 425 — the timing controller 125 — the same — writing in — address-generation section 421— while controlling each part of the 2nd single port RAM 424, the 1st selector 427, 2nd selector 428, and 3rd selector 429 output a selection signal to each selector so that it may be suitably controlled according to writing and read-out of data.

[0045] The 1st selector 427 chooses whether which the output address of the write-in address-generation section 421 and the read-out address-generation section 422 is respectively impressed to the 1st single port RAM 423 and the 2nd single port RAM 424 based on the selection signal from the timing controller 425.

[0046] The 2nd selector 428 switches to any the image data inputted shall be outputted based on the selection signal from the timing controller 425 between the data line of the 1st single port RAM 423, and the data line of the 2nd single port RAM 424. If it puts in another way, input data

will be chosen so that input data may be outputted to the data line of one which writes in of the single ports RAM.

[0047] Based on the selection signal from the timing controller 425, the 3rd selector 429 is switched so that the output of either the data line of the 1st single port RAM 423 and the data line of the 2nd single port RAM 424 may be outputted from the data stream inverter 420. If it puts in another way, output data will be chosen so that the data of the data line of one which reads of the single ports RAM may be outputted.

[0048] And also in the data stream inverter 420 of such a configuration, if the 3rd selector 429 is switched according to the writing of the 1st single port RAM 423 and the 2nd single port RAM 424, and a switch of read-out from the 1st selector 427, the completely same actuation as the data stream inverter of the gestalt of each operation mentioned above using a dual port RAM can be made to perform, and the same effectiveness will be acquired. You may make it the single port RAM used for a data stream inverter in this way.

[0049] This invention is not restricted to the gestalt of this operation, and various alterations are [which it is a modification] possible for it. For example, it is not restricted to the stream illustrated with the gestalt of each operation mentioned above, and the data stream generated in a data stream inverter can output the data stream of arbitration. For example, fly one line at a time perpendicularly, and it reads to it 0x00000, 0x0001–0x00ff, 0x0200, 0x0201–0x02ff ... 0xfe00 – 0xfffe, 0x0100–0x01ff, 0x0300–0x03ff ... If the address is generated and read like 0xff00 – 0xffff As shown in drawing 13, a non INTARESU image (progressive image) is convertible for an INTARESU image.

[0050] Of course, it is also possible to change an INTARESU image into a non INTARESU image by performing the reverse of this scan. Moreover, the direction of slant can also be scanned by changing a high order and a lower address to coincidence. Moreover, if a pseudo-random number like an M sequence generates the address, encoding of simple encryption of an image and decoding can be realized easily.

[0051] Moreover, the picture signal processing performed to the changed data stream may process arbitration. For example, processing of arbitration, such as amendment of lens distortion of an image pick-up system, amendment of CRT distortion of a display system, amendment of a mistake convergence (color gap phenomenon), conversion in the usual image of the curve image photoed with 360-degree lens, a two-dimensional FIR filter, and fish eye amendment, may be performed.

[0052] Moreover, although each gestalt of operation mentioned above was read, operated the address and generated the desired data stream, it may write in the same processing, and may perform it to the address, and you may make it operate both addresses.

[0053] Moreover, it is not restricted to the 4th configuration of the gestalt of operation, and the configuration of the memory (buffer) of a data stream inverter is [which it was shown in drawing 2 / which it was shown in the 1st configuration of the gestalt of operation, and drawing 10] also good with the configuration of arbitration. It may not be DRAM, or more nearly high-speed SRAM may be used, and a Synchronous DRAM is sufficient. Moreover, the configuration of the actual memory chip in that case may be used for arbitration combining the chip of the address bus width of face of arbitration, and data bus width of face. If it is the configuration which was adapted for the image data of a processing object, the configuration in the case of mounting of such memory is arbitrary, and good.

[0054]

[Effect of the Invention] Thus, according to this invention, a high speed and the image processing system which can be performed efficiently appropriately, and its approach can be offered for a two-dimensional image processing and a global image processing. Moreover, even if it uses the existing image processing system for two-dimensional data processing and global data processing to a data stream of arbitration, a high speed and the data stream inverter which changes a data stream so that it can carry out efficiently appropriately can be offered.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-195570

(P2001-195570A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51)Int.Cl.
G 0 6 T 3/00
1/60
H 0 4 N 5/907

識別記号

F I
H 0 4 N 5/907
G 0 6 F 15/66
15/64

テマコード(参考)
B 5 B 0 4 7
3 6 0 5 B 0 5 7
4 5 0 G 5 C 0 5 2

(21)出願番号 特願2000-5736(P2000-5736)
(22)出願日 平成12年1月6日 (2000.1.6)

審査請求 未請求 請求項の数19 O L (全 11 頁)

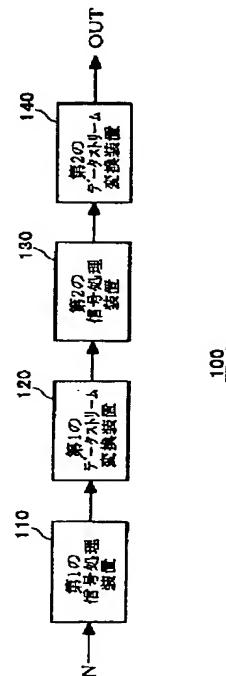
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 倉田 橙
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 100094053
弁理士 佐藤 隆久
Fターム(参考) 5B047 AA30 EA06 EB04 EB12
5B057 CA12 CA16 CB12 CB16 CC01
CD12 CE02 CE06 CH11 CH18
5C052 AA17 AB04 DD10 GA03 GB01
GC00 GD01 GD02 GE04 GE06
GF03 GF05

(54)【発明の名称】 画像処理装置とその方法およびデータストリーム変換装置

(57)【要約】

【課題】2次元的な画像処理および大局的な画像処理を高速かつ適切に効率よく行なうことができる画像処理装置を提供する。

【解決手段】画像処理装置100に入力された水平ラインスキャン・データストリームは、第1の信号処理装置110で水平方向の処理を行なった後、第1のデータストリーム変換装置120において、水平方向と垂直方向とを入れ換えた垂直ラインスキャン・データストリームに変換される。この垂直ラインスキャン・データストリームを、第1の信号処理装置110と同じ処理を行なう第2の信号処理装置130に入力し、元の画像データに対する垂直方向の処理を行なう。処理結果の垂直ラインスキャン・データストリームを、第2のデータストリーム変換装置140に入力し、元の水平ラインスキャン・データストリームに変換し出力する。



【特許請求の範囲】

【請求項1】任意の画像データを記憶する記憶手段と、
入力される所定の方向に順次スキャンされた画像データを前記記憶手段に書き込むための書き込みアドレスを順次生成する書き込みアドレス生成手段と、
前記入力される画像データを、前記生成された書き込みアドレスに基づいて前記記憶手段に書き込む書き込み手段と、
前記記憶手段に書き込まれた前記画像データを前記所定の順序とは異なる所望の方向にスキャンされた画像データとして読み出すための読み出しアドレスを順次生成する読み出しアドレス生成手段と、
前記記憶手段に書き込まれている前記画像データを、前記生成された読み出しアドレスに基づいて順次読み出す読み出し手段とを有する画像データ変換手段と、
前記読み出された画像データに対して、所望の処理を行なう画像処理手段とを有する画像処理装置。

【請求項2】前記所望の処理の行われた画像データを、元の前記所定の方向にスキャンされた画像データに戻す、第2の前記画像データ変換手段をさらに有する請求項1に記載の画像処理装置。

【請求項3】前記元の所定の方向にスキャンされた画像データに対して、前記所望の処理を行う前記第2の画像処理手段をさらに有し、
入力される画像データに対して2次元的な所望の処理を行なう請求項2に記載の画像処理装置。

【請求項4】前記画像処理手段は、各々、撮像系のレンズの歪み補正処理、表示系の歪み補正処理、ノイズの低減・除去処理、ミス・コンバージェンスの補正の少なくともいずれか1つを含む処理である請求項3に記載の画像処理装置。

【請求項5】前記読み出しアドレス生成手段または前記書き込みアドレス生成手段の少なくともいずれか一方は、前記順次生成するアドレスが予め記憶されているアドレス記憶手段を有し、当該記憶されている前記アドレスを順次読み出し出力する請求項1に記載の画像処理装置。

【請求項6】前記アドレス記憶手段はROM(Read Only Memory)により構成される請求項5に記載の画像処理装置。

【請求項7】前記読み出しアドレス生成手段は、前記書き込みアドレス生成手段により生成された書き込みアドレスを変換して前記読み出しアドレスを生成する請求項1に記載の画像処理装置。

【請求項8】前記読み出しアドレス生成手段は、前記書き込みアドレス生成手段により生成された書き込みアドレスの上位アドレスと下位アドレスを置換することにより、前記読み出しアドレスを生成する請求項4に記載の画像処理装置。

【請求項9】入力される所定の方向に順次スキャンされ

た画像データを、順次生成される所定の書き込みアドレスに基づいて記憶手段に記憶し、

前記記憶された画像データを、前記所定の方向とは異なる所望の方向にスキャンされた画像データとして読み出すための読み出しアドレスを順次生成し、
前記記憶された画像データを、前記生成された読み出しアドレスに基づいて順次読み出し、
前記読み出された画像データに対して、所望の画像処理を行なう画像処理方法。

10 【請求項10】前記画像処理の行われた画像データを、順次記憶手段に記憶し、
前記記憶された画像データを、元の前記所定の方向にスキャンされた画像データとして読み出すための読み出しアドレスを順次生成し、
前記記憶された画像データを、前記生成された読み出しアドレスに基づいて順次読み出し、元の前記所定の方向にスキャンされた画像データに戻す請求項9に記載の画像処理方法。

【請求項11】任意のデータを記憶する記憶手段と、
所定の順序で順次入力されるデータの列を前記記憶手段に書き込むための書き込みアドレスを順次生成する書き込みアドレス生成手段と、
順次入力される前記データの列を、前記生成された書き込みアドレスに基づいて、前記記憶手段に順次書き込む書き込み手段と、
前記記憶手段に書き込まれている前記データの列を前記所定の順序とは異なる所望の順序で読み出すための読み出しアドレスを順次生成する読み出しアドレス生成手段と、

30 前記記憶手段に書き込まれている前記データの列を、前記生成された読み出しアドレスに基づいて順次読み出し、前記所望の順序のデータの列として出力する読み出し手段とを有するデータストリーム変換装置。
【請求項12】前記所定の順序で順次入力されるデータの列は、所定の方向に順次スキャンされた2次元画像データである請求項11に記載のデータストリーム変換装置。

【請求項13】前記読み出しアドレス生成手段は、前記入力される所定の方向に順次スキャンされた2次元画像データを、前記所定の方向とは異なる所望の方向に順次スキャンされた2次元画像データに変換するように前記読み出しアドレスを生成する請求項12に記載のデータストリーム変換装置。

【請求項14】前記読み出しアドレス生成手段または前記書き込みアドレス生成手段の少なくともいずれか一方は、前記順次生成するアドレスが予め記憶されているアドレス記憶手段を有し、当該記憶されている前記アドレスを順次読み出し出力する請求項12に記載のデータストリーム変換装置。

【請求項15】前記アドレス記憶手段はROM(Read

d Only Memory)により構成される請求項14に記載のデータストリーム変換装置。

【請求項16】前記読み出しアドレス生成手段は、前記書き込みアドレス生成手段により生成された書き込みアドレスを変換して前記読み出しアドレスを生成する請求項14に記載のデータストリーム変換装置。

【請求項17】前記読み出しアドレス生成手段は、前記書き込みアドレス生成手段により生成された書き込みアドレスの上位アドレスと下位アドレスを置換することにより、前記読み出しアドレスを生成する請求項16に記載のデータストリーム変換装置。

【請求項18】前記記憶手段は、デュアルポートメモリ装置により構成される請求項12に記載のデータストリーム変換装置。

【請求項19】前記記憶手段は、シングルポートメモリ装置により構成され、

前記読み出しアドレス生成手段または前記書き込みアドレス生成手段のいずれか一方で生成されたアドレスを選択して前記記憶手段に印加するアドレス選択手段と、前記読み出し手段または前記書き込み手段のいずれか一方で生成された制御信号を前記記憶手段に印加する制御信号選択手段とをさらに有する請求項12に記載のデータストリーム変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2次元的な画像処理および大局的な画像処理を高速かつ適切に効率よく行なうことができる画像処理装置とその方法、および、そのような画像処理を行なうのに好適なデータストリーム変換装置に関する。

【0002】

【従来の技術】近年、画像処理システムにおいてデジタル化が急速に推進されているが、画像の入力側である撮像系と出力側である表示系は、アナログ信号で処理されている部分が多い。このようなアナログ部分には、たとえば撮像系のレンズの歪み、表示系における画歪み、ミス・コンバージェンスなど誤差やノイズが生じることが避けられない。これらの問題に対しては、従来より、主にアナログのシステムで補正しようという試みがなされてきたが、十分に満足のいく処理装置が実現されない場合が多くあった。一方、これらのアナログ的な誤差の補正やノイズの低減を、デジタルシステムで行なおうとする試みも多数行なわれている。テレビジョンの高解像度化やゴーストリダクションなどは、デジタル処理により対応された典型的な処理と言うことができる。

【0003】

【発明が解決しようとする課題】しかしながら、アナログ系の誤差の中でも、先に述べたレンズやC.R.T.の歪みの補正是、デジタル処理で解決することが困難であり、リアルタイムに動画を高精度に補正できるデジタルシス

テムはこれまで存在していない。これは、補正に係わる演算量が膨大であることにも起因しているが、歪みそのものが広範囲に及ぶ平面的な2次元の現象であるのに対して、デジタル・システムで一般に用いられるD.S.Pなどの信号処理装置のアーキテクチャは、データの逐次処理、すなわち、一次元の処理や比較的局所的なデータの処理に適しているということも大きな理由として挙げられる。そのため、新たに広範囲の2次元データ処理に適したアーキテクチャの信号処理装置を設計し補正処理を行なわせることも考えられるが、実際には回路規模やコストの面から非常に困難である。

【0004】したがって、本発明の目的は、2次元的な画像処理および大局的な画像処理を高速かつ適切に効率よく行なうことができる画像処理装置とその方法を提供することにある。また、本発明の他の目的は、任意のデータストリームに対する2次元的なデータ処理および大局的なデータ処理を、既存の画像処理装置を用いたとしても高速かつ適切に効率よく行なうことができるよう、データストリームを変換するデータストリーム変換装置を提供することにある。

【0005】

【課題を解決するための手段】したがって、本発明の画像処理装置は、任意の画像データを記憶する記憶手段と、入力される所定の方向に順次スキャンされた画像データを前記記憶手段に書き込むための書き込みアドレスを順次生成する書き込みアドレス生成手段と、前記入力される画像データを、前記生成された書き込みアドレスに基づいて前記記憶手段に書き込む書き込み手段と、前記記憶手段に書き込まれた前記画像データを前記所定の順序とは異なる所望の方向にスキャンされた画像データとして読み出すための読み出しアドレスを順次生成する読み出しアドレス生成手段と、前記記憶手段に書き込まれている前記画像データを、前記生成された読み出しアドレスに基づいて順次読み出す読み出し手段とを有する画像データ変換手段と、前記読み出された画像データに対して、所望の処理を行なう画像処理手段とを有する。

【0006】また、本発明の画像処理方法は、入力される所定の方向に順次スキャンされた画像データを、順次生成される所定の書き込みアドレスに基づいて記憶手段に記憶し、前記記憶された画像データを、前記所定の方向とは異なる所望の方向にスキャンされた画像データとして読み出すための読み出しアドレスを順次生成し、前記記憶された画像データを、前記生成された読み出しアドレスに基づいて順次読み出し、前記読み出された画像データに対して、所望の画像処理を行なう。

【0007】また、本発明のデータストリーム変換装置は、任意のデータを記憶する記憶手段と、所定の順序で順次入力されるデータの列を前記記憶手段に書き込むための書き込みアドレスを順次生成する書き込みアドレス生成手段と、順次入力される前記データの列を、前記生

成された書き込みアドレスに基づいて、前記記憶手段に順次書き込む書き込み手段と、前記記憶手段に書き込まれている前記データの列を前記所定の順序とは異なる所望の順序で読み出すための読み出しアドレスを順次生成する読み出しアドレス生成手段と、前記記憶手段に書き込まれている前記データの列を、前記生成された読み出しアドレスに基づいて順次読み出し、前記所望の順序のデータの列として出力する読み出し手段とを有する。

【0008】

【発明の実施の形態】第1の実施の形態

本発明の第1の実施の形態を、図1～図5を参照して説明する。第1の実施の形態においては、2次元画像データの各画素に対して、水平方向および垂直方向に隣接する画素のデータを参照して所定のフィルタリングを行なう画像処理装置を例示して本発明を説明する。なお、本実施の形態を含む以下の各実施の形態においては、1フレームが 256×256 画素で構成される2次元正方形画像の画像データであって、この画素を水平方向にノンインターレーススキャンした結果のデータストリームを処理対象とするものとする。

【0009】図1は、その画像処理装置100の構成を示すブロック図である。画像処理装置100は、第1の信号処理装置110、第1のデータストリーム変換装置120、第2の信号処理装置130および第2のデータストリーム変換装置140を有する。また、図2は、第1のデータストリーム変換装置120の構成を示す図である。さらに、図3は、画像処理装置100に入力される画像データストリームを説明するための図であり、図4は、第1のデータストリーム変換装置120で変換される画像データストリームを説明するための図であり、図5は、第2のデータストリーム変換装置140で変換される画像データストリームを説明するための図である。これらの図面を参照して、画像処理装置100の各部の構成について説明する。

【0010】第1の信号処理装置110は、順次入力される、たとえば図3に示すような2次元画像の水平ラインスキャン・データストリームに対して所望の信号処理を行い、処理結果のデータストリームを第1のデータストリーム変換装置120に出力する。本実施の形態においては、順次入力されるデータストリームの連続する画素データを用いて各画素に対してフィルタリングを行なう、すなわち、水平方向の隣接する画素の値を参照してフィルタリングを行なう処理を行なうものとする。なお、第1の信号処理装置110は、リニア・アレイ構造を有する画像DSPであり、内蔵するROMに記録されているプログラムに従って前記処理を行なう。

【0011】第1のデータストリーム変換装置120は、第1の信号処理装置110より水平ラインスキャン・データストリームとして入力される2次元画像信号について、その水平方向と垂直方向を入れ換えた垂直ライ

10

20

30

40

6

ンスキャン・データストリームの映像信号を生成し、第2の信号処理装置130に出力する。

【0012】第1のデータストリーム変換装置120の構成について、図2を参照して詳細に説明する。第1のデータストリーム変換装置120は、書き込みアドレス生成部121、読み出しアドレス生成部122、第1のデュアルポートRAM123、第2のデュアルポートRAM124およびタイミングコントローラ125を有する。

【0013】書き込みアドレス生成部121は、順次入力される水平ラインスキャン・データストリームを第1のデュアルポートRAM123または第2のデュアルポートRAM124に記憶するためのアドレスを生成し、第1のデュアルポートRAM123および第2のデュアルポートRAM124に出力する。前述したように、画像処理装置100には、図3に示すように1フレームが 256×256 画素の画像データが入力されるので、書き込みアドレス生成部121はこの1フレームの画像データを第1のデュアルポートRAM123または第2のデュアルポートRAM124の $0x0000$ 番地から $0xf f f f$ 番地に順に記録するように、 $0x0000 \sim 0xf f f f$ のアドレスを順に生成する。なお $0x$ は、その値が16進数表記であることを示す。

【0014】読み出しアドレス生成部122は、第1のデュアルポートRAM123または第2のデュアルポートRAM124に記憶された画像データが、入力された時とは異なる所定のデータストリームとして出力されるよう、その読み出しアドレスを生成し、第1のデュアルポートRAM123および第2のデュアルポートRAM124に印加する。本実施の形態において読み出しア

ドレス生成部122は、図4に示すように、2次元画像を 90° 右回転させたような画像データの水平ラインスキャン・データストリームに相当するデータストリーム、換言すれば元の2次元画像の垂直ラインスキャン・データストリーム相当するデータストリームを生成するようなアドレスを生成しメモリに印加する。すなわち、読み出しアドレス生成部122は、 $0xf f 00, 0x f e 00 \sim 0x0000, 0ff 01, 0xe f 01 \sim 0x0001, 0xf f 02 \sim 0x0002 \dots 0xf f f f \sim 0x00 f f$ というアドレスを順に生成する。

【0015】第1のデュアルポートRAM123および第2のデュアルポートRAM124は、各々、少なくとも1フレーム分の画像データを記憶可能なメモリである。第1のデュアルポートRAM123および第2のデュアルポートRAM124には、各々、書き込みアドレス生成部121より書き込みアドレスが、読み出しアドレス生成部122より読み出しアドレスが入力され、また、後述するタイミングコントローラ125よりチップセレクトCS、ライトイネーブルWEおよびアウトブ

トイネーブルOEなどの制御信号が入力されるので、これに基づいて、順次入力される画像データを記憶とともに、記憶した画像データを順次再生し出力する。

【0016】その際、タイミングコントローラ125の制御により、入力される1フレームごとの画像データは、第1のデュアルポートRAM123および第2のデュアルポートRAM124に交互に書き込まれる。また、入力画像データが書き込まれていない方の第1のデュアルポートRAM123または第2のデュアルポートRAM124より、画像データが読み出される。なお、本実施の形態において、第1のデュアルポートRAM123および第1のデュアルポートRAM123は、各々、1ワードが1画素のデータを記憶可能なビット幅を有し、少なくとも64kのアドレス空間を有する。

【0017】タイミングコントローラ125は、第1のデータストリーム変換装置120において適切に画像データストリームが変換できるように、第1のデータストリーム変換装置120の各部を制御する。具体的には、タイミングコントローラ125は、入力する画像信号から得られる画像データのタイミング信号であるクロック信号CLK、水平同期信号H-SYNCおよび垂直同期信号V-SYNCなどを、書き込みアドレス生成部121および読み出しアドレス生成部122に出力する。処理対象の画像データが、本実施の形態のように入力画素数と出力画素数が等しい正方画像の場合には、出力用の水平同期信号H-SYNCおよび垂直同期信号V-SYNCは、入力画像データの水平同期信号H-SYNCおよび垂直同期信号V-SYNCをそのまま用いればよい。しかし、処理対象の画像データの入力画素数と出力画素数が異なる場合は、タイミングコントローラ125内において、入力画像データの水平同期信号H-SYNCおよび垂直同期信号V-SYNCに基づいて出力画像データの水平同期信号H-SYNCおよび垂直同期信号V-SYNCを新たに生成することになる。

【0018】また、タイミングコントローラ125は、第1のデュアルポートRAM123および第2のデュアルポートRAM124に、チップセレクトCS、ライトトイネーブルWEおよびアウトプットトイネーブルOEなどの制御信号を出力し、データの書き込みおよび読み出しを制御する。第1のデュアルポートRAM123および第2のデュアルポートRAM124は、図示のごとくダブルバッファ構成となっているため、タイミングコントローラ125は、画像データのV-SYNCごとに2系統のRAMのアクティブ/ネガティブを切り替え、2つのメモリに交互に1フレームごとの画像データが書き込まれるようにし、また、記憶が行なわれていない方のメモリから画像データが読み出されるようにする。

【0019】第2の信号処理装置130は、第1の信号処理装置110と実質的に同じ信号処理装置であり、第1のデータストリーム変換装置120より順次入力され

る、たとえば図4に示すような2次元画像の垂直ラインスキャン・データストリームに対して所望の信号処理を行い、処理結果のデータストリームを第2のデータストリーム変換装置140に出力する。本実施の形態においては、順次入力されるデータストリームの連続する画素データを用いて各画素に対してフィルタリングを行なう、すなわち、垂直方向の隣接する画素の値を参照してフィルタリングを行なう処理を行なうものとする。

【0020】第2のデータストリーム変換装置140は、第2の信号処理装置130より垂直ラインスキャン・データストリームとして入力される2次元画像信号について、その垂直方向と水平方向を入れ換え、元の水平ラインスキャン・データストリームの映像信号を生成し、処理結果の画像信号として画像処理装置100より出力する。この第2のデータストリーム変換装置140の構成は、図2を参照して前述した第1のデータストリーム変換装置120の構成とほぼ同じであり、読み出しアドレス生成部の構成のみが異なる。したがって、ここでは読み出しアドレス生成部についてのみ説明を行なう。なお、以下の説明で第2のデータストリーム変換装置140の内部の各構成部の符号は、図2に示した第1のデータストリーム変換装置120の内部の各構成部の符号をそのまま用いるものとする。

【0021】第2のデータストリーム変換装置140の読み出しアドレス生成部122は、第1のデュアルポートRAM123または第2のデュアルポートRAM124に記憶された元の入力画像データの垂直ラインスキャン・データストリームが、入力された時と同じ水平ラインスキャン・データストリームとして出力されるよう³⁰に、その読み出しアドレスを生成し、第1のデュアルポートRAM123および第2のデュアルポートRAM124に印加する。

【0022】すなわち、第1のデュアルポートRAM123および第2のデュアルポートRAM124には、図4に示したような2次元画像を90°右回転させたような画像データの水平ラインスキャン・データストリームに相当するデータストリームが記憶されているので、これに対して、図5に示すように、2次元画像を-90°右回転させたような画像データの水平ラインスキャン・データストリームに相当するデータストリームを生成するようなアドレスを生成し出力する。そのため、読み出しアドレス生成部122は、0x00ff, 0x01ff~0xffff, 0x00fe, 0x01fe~0xffffe, 0x00fd~0xffffd...0x000~0xffff00というアドレスを順に生成する。

【0023】そして読み出しアドレス生成部122がこのようなアドレスを生成することにより、第2のデータストリーム変換装置140からは、垂直ラインスキャン・データストリームを水平ラインスキャン・データストリームに変換したデータストリーム、すなわち、画像処

理装置100に入力された元のデータストリームと同じ形態のデータストリームが outputされ、処理結果の信号として画像処理装置100より出力される。

【0024】このような構成の画像処理装置100の動作についてまとめて説明する。画像処理装置100に入力された水平ラインスキャン・データストリームは、第1の信号処理装置110で水平方向の処理を行なった後、第1のデータストリーム変換装置120において、水平方向と垂直方向とを入れ換えた画像データ、すなわち、垂直ラインスキャン・データストリームに変換される。そして、この垂直ラインスキャン・データストリームを、第1の信号処理装置110と同じ処理を行なう第2の信号処理装置130に入力することにより、元の画像データに対する垂直方向の処理を行なう。そして、この垂直ラインスキャン・データストリームを、第2のデータストリーム変換装置140に入力することにより、元の水平ラインスキャン・データストリームに変換し、出力する。

【0025】このように、第1の実施の形態の画像処理装置100によれば、たとえばDSPなどの1次元的なデータストリームに対する処理に特化した信号処理装置を用いて、2次元的なデータに対する2次元的な処理を効率よく行なうことができる。すなわち、通常の映像信号は水平ライン・スキャンの映像信号なので、これまでには、水平方向の処理は有効に行なえるが、垂直方向の処理については信号レートと同じレートで効率よく処理を行なうことができなかった。しかし、画像処理装置100においては、第1のデータストリーム変換装置120において水平ライン・スキャンの映像信号を垂直ライン・スキャンの映像信号に変換しているので、第2の信号処理装置130においては、第1の信号処理装置110と同様に、順次入力されるデータ列に対して処理を行なえばよく、信号レートと同じレートのリアルタイム処理を行なうことができる。

【0026】そしてまた、第1のデータストリーム変換装置120および第2のデータストリーム変換装置140においては、バッファメモリ123、124としてデュアルポートRAMを用い、書き込みアドレスと読み出しアドレスを書き込みアドレス生成部121および読み出しアドレス生成部122において別々に生成している。したがって、データストリームの変換をリアルタイムで実質的に同時に行なうことができる。

【0027】第2の実施の形態

本発明の第2の実施の形態について、図6～図8を参照して説明する。このようなデータストリームの変換を行なう場合、元のデータストリームと生成したいデータストリーム、換言すれば書き込みアドレスと読み出しアドレスが比較的簡単な関係の場合には、前述した第1の実施の形態のように、書き込みアドレスおよび読み出しアドレスは論理的に生成するのが好適である。しかし、た

とえば、画像データに対して局所的な処理や、特殊な2次元フィルタ処理などを行なおうとする場合、効率よく処理を行なうために要求されるデータストリームは、元のデータ構造から見て非常に複雑で、実質的にランダムに配置されたデータストリームということができる。そこで、そのようなデータストリームを効率よく生成し、そのような画像処理を効率よく行なうことができるような画像処理装置を、第2の実施の形態として説明する。なお、ここでは、入力される画像データに対して魚眼補正を行なう場合を例示して本発明を説明する。

【0028】図6は、そのような画像処理装置200の構成を示すブロック図である。画像処理装置200は、データストリーム変換装置220および信号処理装置230を有する。データストリーム変換装置220は、入力される2次元画像データの水平ラインスキャン・データストリームに基づいて、後段の信号処理装置230において行なう画像処理に適したデータストリームを生成し、信号処理装置230に出力する。

【0029】データストリーム変換装置220の構成について、図7を参照して詳細に説明する。図7は、データストリーム変換装置220のアドレス生成に係わる構成部を示す図である。データストリーム変換装置220は、そのアドレス生成に係わる構成部として、書き込みアドレス生成部221、読み出しアドレス生成部222、タイミングコントローラ225およびROM226を有する。書き込みアドレス生成部221およびタイミングコントローラ225の構成および動作は、前述した第1のデータストリーム変換装置120の書き込みアドレス生成部121およびタイミングコントローラ125の構成および動作と同一である。

【0030】読み出しアドレス生成部222は、タイミングコントローラ225より入力される制御信号に基づいて、ROM226に記録されている読み出しアドレスデータを順次読み出し、図示せぬメモリに印加し、順次データを読み出す。

【0031】ROM226は、メモリより読み出す画素データのアドレスを、読み出す順番に予め記憶させているROMである。ROM226に記憶されているアドレスデータは、読み出しアドレス生成部222により読み出され、そのまま図示せぬメモリに印加される。前述したように、本実施の形態においては、信号処理装置230において魚眼補正を行なう。したがって、ROM226には、入力される256画素×256画素の画像データより、図8に示すようなスキャンラインでデータストリームを抽出し読み出すようなアドレスが記憶されている。なお、ROM226には、アドレスそのものを格納するものではなく、直前のアドレスとの差分や、アドレスを算出する関数の係数などを記憶しておくようにしておいてもよい。そのようにすれば、ROMの容量を減らすことができ、有効である。

【0032】そして、信号処理装置230は、データストリーム変換装置220より順次入力される、たとえば図8に示すような2次元画像のスキャン・データストリームに対して所望の信号処理を行い、処理結果のデータストリームを画像処理装置200の出力データとして出力する。前述したデータストリーム変換装置220において、おおまかに魚眼補正された画像データが得られるので、信号処理装置230においては、この画像をさらに高精度に補正する処理を行なう。たとえば、近傍4画素の画素値から内挿画素の画素値を補正したり、元画像と1対1に対応しない画素の画素値を位相情報に基づいて算出するなどの処理を行なう。

【0033】このような構成の画像処理装置200の動作についてまとめて説明する。画像処理装置200に入力された水平ラインスキャン・データストリームは、データストリーム変換装置220において、図8に示すような特定のスキャンラインのデータが抽出され、おおまかに魚眼補正されたデータに変換される。そして、この変換されたデータストリームが信号処理装置230に入力され、さらに高精度な補正が行なわれ、最終的な魚眼補正された画像データが得られる。

【0034】このように、第2の実施の形態の画像処理装置200においては、データストリーム変換装置220においてROM226を用いることにより読み出しアドレスを全くランダムに生成することができる。したがって、書き込みデータストリームとの関係が単純でないデータストリームを生成する場合や、実質的にランダムに画素を抽出して所望のデータストリームを生成する場合も、適切に処理を行なうことができ、よりフレキシブルなデータストリーム変換装置を実現することができる。また、第2の実施の形態の画像処理装置200においては、データストリーム変換装置220において補正の大局部的な処理を行い、信号処理装置230において補正の局所的な処理を行なうよう正在していると言える。すなわち、このような構成とすることにより、大局部的および局所的に各々適切な処理を行なう、効率よく所望の画像処理を行なえる画像処理装置を提供することができる。

【0035】なお、本実施の形態においては、ROM226を読み出しアドレス生成部222に対して設けたが、書き込みアドレス生成部221に対して設けて、書き込み時のアドレスをROM226に記憶されているデータに基づいて決定するようにしてよい。

【0036】第3の実施の形態

本発明の第3の実施の形態について図9および図10を参照して説明する。データストリーム変換装置の書き込みアドレス生成部および読み出しアドレス生成部の構成は、読み出しアドレスおよび書き込みアドレスの対応が非常に複雑でランダムに近いような場合には第2の実施の形態で示したような構成が好適であるが、それ以外の

通常の場合には、第1の実施の形態で示したような構成でよい。しかし、第1の実施の形態で示した形態は、書き込み用アドレス生成部と読み出し用アドレス生成部は全く独立した構成であった。書き込みアドレスと読み出しアドレスの対応が比較的単純な場合には、その生成部の一部を共通化するようにし、いずれか一方のアドレスから他方のアドレスを生成するようにしてよい。そのようなデータストリーム変換装置を第3の実施の形態として示す。

【0037】図9は、そのデータストリーム変換装置320のアドレス生成に係る構成部を示す図である。データストリーム変換装置320は、書き込みアドレス生成部321、読み出しアドレス生成部322およびタイミングコントローラ325を有する。書き込みアドレス生成部321およびタイミングコントローラ325の構成および動作は、前述した第1のデータストリーム変換装置120の書き込みアドレス生成部121およびタイミングコントローラ125の構成および動作と同一である。

【0038】そして、読み出しアドレス生成部322は、書き込みアドレス生成部321より出力される書き込みアドレスに基づいて読み出しアドレスを生成し、図示せぬメモリに出力する。

【0039】たとえば、前述したように水平ラインスキャン・データストリームとして記憶された画像データを、図10に示すような垂直ラインスキャン・データストリームとして読み出す場合には、読み出しアドレス生成部322は、 $0 \times 0000, 0 \times 0100 \sim 0 \times f f 00, 0 \times 0001 \sim 0 \times f f 01, 0 \times 0002 \sim 0 \times f f 02 \dots 0 \times 00 f f \sim 0 \times f f f f$ というアドレスを生成する。そしてこのアドレスは、前述したように書き込みアドレス生成部321が画像データを書き込む時に生成するアドレスと、上位8ビットと下位8ビットずつのビットを入れ換えたアドレスとなっている。すなわち、このようなデータストリームを生成する場合には、読み出しアドレス生成部322は、書き込みアドレス生成部321の出力アドレスの上位と下位を入れ換えて、読み出しアドレスとして出力する。

【0040】また、たとえば、図4を参照して説明したようなデータストリームを生成する場合には、読み出しアドレス生成部322は、書き込みアドレス生成部321の出力アドレスの上位と下位を入れ換えて、さらに上位アドレスの値を255($0 \times f f$)から減算し、それを読み出しアドレスとして出力するようにすればよい。また、たとえば、読み出しアドレス生成部322において、書き込みアドレス生成部321の出力アドレスの下位アドレスを255($0 \times f f$)より減算し、それを読み出しアドレスとして出力するようにすれば、図11に示すようなデータストリームを生成することができる。

【0041】アドレス生成部をこのようにしたデータス

トリーム変換装置においても、前述した前述した各実施の形態のデータストリーム変換装置と全く同じ動作を行なわせることができ、また同じ効果が得られる。そして、このような構成にすれば、読み出しアドレス生成部322の回路規模を小さくすることができる。なお、読み出しアドレス生成部322より出力される読み出しアドレスに基づいて、書き込みアドレス生成部321において書き込みアドレスを生成するようにしてもよい。

【0042】第4の実施の形態

本発明の第4の実施の形態について、図12を参照して説明する。前述した各実施の形態のデータストリーム変換装置におけるメモリ部の構成は、第1の実施の形態の説明の際に図2を参照して具体的に説明したような、デュアルポートRAMを2系統、ダブル・バッファとなるように設けるものであった。しかし、デュアルポートRAMを用いる必要はなく、シングルポートRAMを用いてもよい。そのようなデータストリーム変換装置を第4の実施の形態として示す。

【0043】図12は、そのデータストリーム変換装置420の構成を示す図である。データストリーム変換装置420は、書き込みアドレス生成部421、読み出しアドレス生成部422、第1のシングルポートRAM423、第2のシングルポートRAM424、タイミングコントローラ425、第1のセレクタ427、第2のセレクタ428および第3のセレクタ429を有する。書き込みアドレス生成部421、読み出しアドレス生成部422、第1のシングルポートRAM423および第2のシングルポートRAM424の構成および動作は、前述した第1のデータストリーム変換装置120の書き込みアドレス生成部121、読み出しアドレス生成部122、第1のデュアルポートRAM123および第2のデュアルポートRAM124の構成および動作と同一である。

【0044】タイミングコントローラ425は、タイミングコントローラ125と同様に書き込みアドレス生成部421～第2のシングルポートRAM424の各部を制御するとともに、第1のセレクタ427、第2のセレクタ428および第3のセレクタ429が、データの書き込みおよび読み出しに応じて適当に制御されるように、各セレクタに選択信号を出力する。

【0045】第1のセレクタ427は、タイミングコントローラ425からの選択信号に基づいて、第1のシングルポートRAM423および第2のシングルポートRAM424に、各々書き込みアドレス生成部421および読み出しアドレス生成部422のいずれの出力アドレスを印加するかを選択する。

【0046】第2のセレクタ428は、タイミングコントローラ425からの選択信号に基づいて、入力される画像データを、第1のシングルポートRAM423のデータ線および第2のシングルポートRAM424のデータ線

タ線のいずれに出力するかを切り換える。換言すれば、書き込みを行なういずれかのシングルポートRAMのデータ線に入力データが出力されるように、入力データを選択する。

【0047】第3のセレクタ429は、タイミングコントローラ425からの選択信号に基づいて、第1のシングルポートRAM423のデータ線および第2のシングルポートRAM424のデータ線のいずれかの出力をデータストリーム変換装置420より出力するように切り換える。換言すれば、読み出しを行なういずれかのシングルポートRAMのデータ線のデータが出力されるように、出力データを選択する。

【0048】そして、このような構成のデータストリーム変換装置420においても、第1のセレクタ427から第3のセレクタ429を第1のシングルポートRAM423および第2のシングルポートRAM424の書き込みおよび読み出しの切り換えに応じて切り換えるようにすれば、デュアルポートRAMを用いた前述した各実施の形態のデータストリーム変換装置と全く同じ動作を行なわせることができ、また同じ効果が得られる。データストリーム変換装置は、このようにシングルポートRAMを用いるようにしてもよい。

【0049】変形例

なお、本発明は本実施の形態に限られるものではなく、種々の改変が可能である。たとえば、データストリーム変換装置において生成されるデータストリームは、前述した各実施の形態で例示したストリームに限られるものではなく、任意のデータストリームを出力することができる。たとえば、垂直方向に1ラインずつ飛ばして読み出す、すなわち、0x00000, 0x0001～0x00ff, 0x0200, 0x0201～0x02ff…0xf00～0xffffのようにアドレスを生成して読みだせば、図13に示すように、ノンインターレス画像（プログレッシブ画像）を、インターレス画像に変換することができる。

【0050】もちろん、この走査の逆を行なうことで、インターレス画像をノンインターレス画像に変換することも可能である。また、上位・下位アドレスを同時に変化させることにより、斜め方向の走査を行なうこともできる。また、M系列のような疑似乱数によってアドレスを生成すれば、画像の簡易暗号化のエンコード、デコードが容易に実現できる。

【0051】また、変換したデータストリームに対して行なう画像信号処理は、任意の処理を行なってよい。たとえば、撮像系のレンズ歪みの補正、表示系のCRT歪みの補正、ミス・コンバージェンス（色ずれ現象）の補正、360°レンズで撮影した湾曲画像の通常の画像への変換、2次元FIRフィルタ、魚眼補正など、任意の

処理を行なってよい。

【0052】また、前述した実施の形態は、いずれも読み出しアドレスを操作して所望のデータストリームを生成するものであったが、同様の処理を書き込みアドレスに対して行なってよいし、両方のアドレスを操作するようにしてよい。

【0053】また、データストリーム変換装置のメモリ(バッファ)の構成も、図2に示した第1の実施の形態の構成、図10に示した第4の実施の形態の構成に限られるものではなく、その他、任意の構成でよい。DRAMでなくても、より高速なSRAMを用いてもよいし、シンクロナスDRAMでもよい。また、その際の実際のメモリチップの構成は、任意のアドレス・バス幅、データ・バス幅のチップを任意に組み合わせて用いてよい。処理対象の画像データに適応した構成であれば、そのようなメモリの実装の際の構成は任意でよい。

【0054】

【発明の効果】このように本発明によれば、2次元的な画像処理および大局的な画像処理を高速かつ適切に効率よく行なうことができる画像処理装置とその方法を提供することができる。また、任意のデータストリームに対する2次元的なデータ処理および大局的なデータ処理を、既存の画像処理装置を用いたとしても高速かつ適切に効率よく行なうことができるよう、データストリームを変換するデータストリーム変換装置を提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明の第1の実施の形態の画像処理装置の構成を示すブロック図である。

【図2】図2は、図1に示した画像処理装置の第1のデータストリーム変換装置の構成を詳細に示す図である。

【図3】図3は、図1に示した画像処理装置に入力される画像データストリームを説明するための図である。

【図4】図4は、図1に示した画像処理装置の第1のデータストリーム変換装置で変換される画像データストリームを説明するための図である。

【図5】図5は、図1に示した画像処理装置の第2のデータストリーム変換装置で変換される画像データストリームを説明するための図である。

【図6】図6は、本発明の第2の実施の形態の画像処理

* 装置の構成を示すブロック図である。

【図7】図7は、図6に示した画像処理装置のデータストリーム変換装置の構成を詳細に示す図である。

【図8】図8は、図7に示した画像処理装置のデータストリーム変換装置で変換される画像データストリームを説明するための図である。

【図9】図9は、本発明の第3の実施の形態のデータストリーム変換装置のアドレス生成に係わる構成部を示す図である。

10 【図10】図10は、図9に示したデータストリーム変換装置で変換される画像データストリームの第1の例を示す図である。

【図11】図11は、図9に示したデータストリーム変換装置で変換される画像データストリームの第2の例を示す図である。

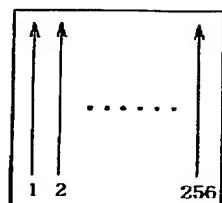
【図12】図12は、本発明の第4の実施の形態の画像処理装置の構成を示すブロック図である。

【図13】図13は、本発明のデータストリーム変換装置で変換される他の画像データストリームの例を示す図である。

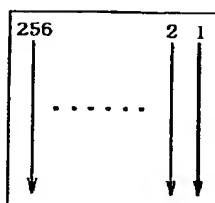
【符号の説明】

100…画像処理装置、110…第1の信号処理装置、120…第1のデータストリーム変換装置、121…書き込みアドレス生成部、122…読み出しアドレス生成部、123…第1のデュアルポートRAM、124…第2のデュアルポートRAM、125…タイミングコントローラ、130…第2の信号処理装置、140…第2のデータストリーム変換装置、200…画像処理装置、220…データストリーム変換装置、221…書き込みアドレス生成部、222…読み出しアドレス生成部、225…タイミングコントローラ、226…ROM、230…信号処理装置、320…データストリーム変換装置、321…書き込みアドレス生成部、322…読み出しアドレス生成部、325…タイミングコントローラ、420…データストリーム変換装置、421…書き込みアドレス生成部、422…読み出しアドレス生成部、423…第1のシングルポートRAM、424…第2のシングルポートRAM、425…タイミングコントローラ、427…第1のセレクタ、428…第2のセレクタ、429…第3のセレクタ

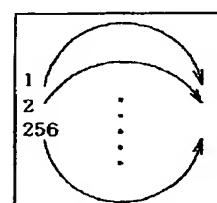
【図4】



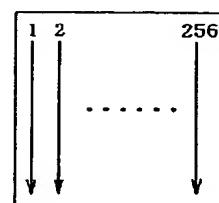
【図5】



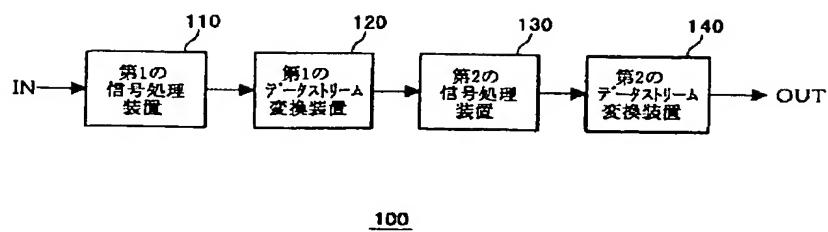
【図8】



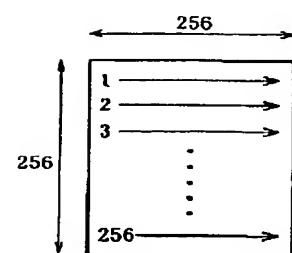
【図10】



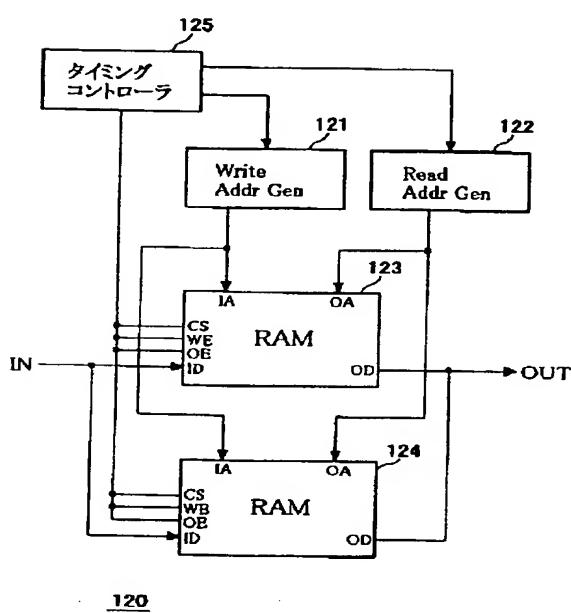
【図1】



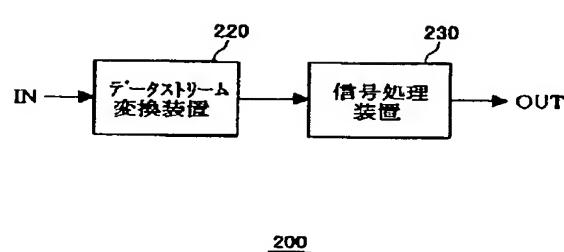
【図3】



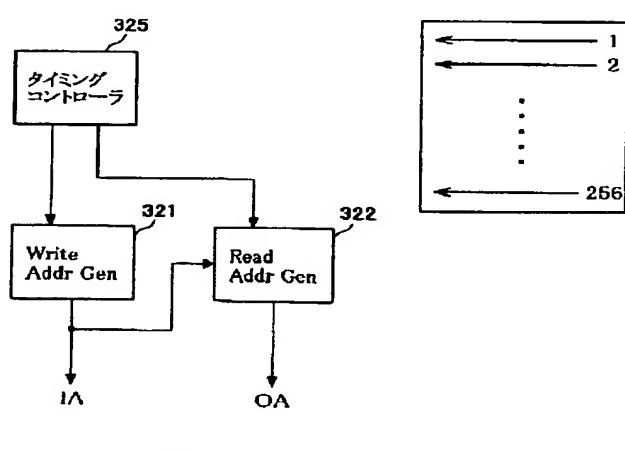
【図2】



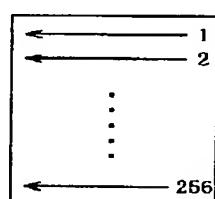
【図6】



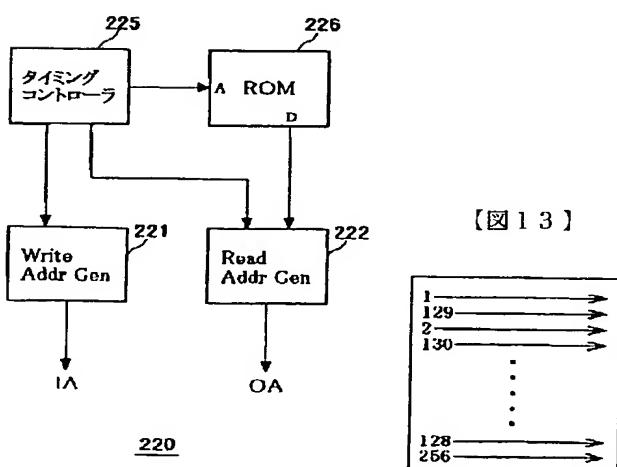
【図9】



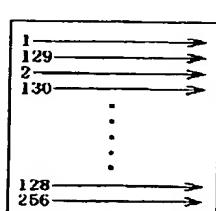
【図11】



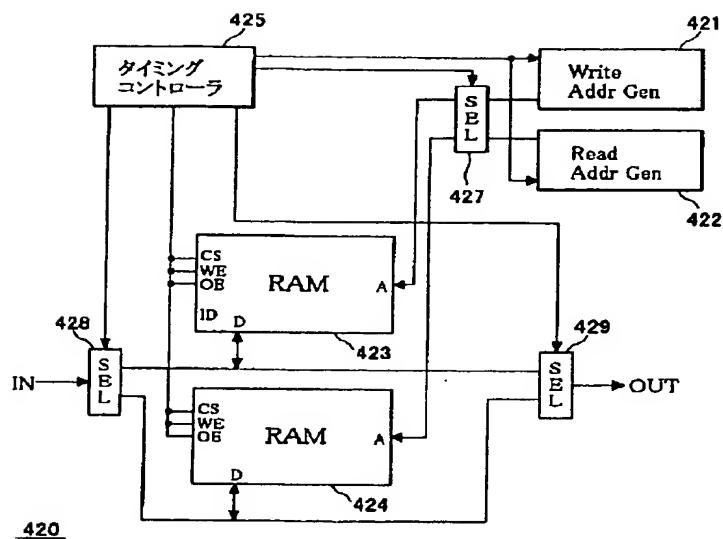
【図7】



【図13】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.